

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

[First Hit](#) [Previous Doc](#) [Next Doc](#) [Go to Doc#](#)☐ [Generate Collection](#) [Print](#)

L6: Entry 126 of 150

File: JPAB

Oct 22, 1991

PUB-NO: JP403236090A
DOCUMENT-IDENTIFIER: JP 03236090 A
TITLE: A/D CONVERTER

PUBN-DATE: October 22, 1991

INVENTOR-INFORMATION:

NAME

COUNTRY

FUKUYAMA, YUJI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

SHARP CORP

APPL-NO: JP02032991

APPL-DATE: February 14, 1990

US-CL-CURRENT: 341/155

INT-CL (IPC): G09G 5/00; H03M 1/04

ABSTRACT:

PURPOSE: To shorten the processing time and reduce the cost by selecting and outputting plural reference voltages which differ in level in order corresponding to a dither threshold pattern and comparing them with an input analog signal.

CONSTITUTION: The A/D converter consists of a reference voltage generating circuit 3, a selecting circuit 4, a selection control circuit 5, and a comparing circuit 6 and a storage part 7 is stored with a selection corresponding to the pattern of dither threshold values in units of two-dimensional blocks. Then the circuit 3 divides input voltages (a) and (b) by a resistance R to generate the reference voltages which differ in level, and the circuit 4 selects one of them according to a selection signal and outputs it to the circuit 5, which controls the circuit 4. A control part 8 reads out the selection signal for the storage part 7 in the corresponding order according to a dot clock for display and a horizontal synchronizing signal. Then the circuit 6 compares the reference voltages of the circuit 4 which a digitized video signal, which is outputted. Consequently, the need for a mass-storage memory for conversion processing is eliminated, the processing time is shortened, and the cost is reducible.

COPYRIGHT: (C)1991, JPO&Japio

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-236090

⑮ Int. Cl.³

G 09 G 5/00

H 03 M 1/04

識別記号

T
H

庁内整理番号

8121-5C
8121-5C
9065-5J

⑭ 公開 平成3年(1991)10月22日

審査請求 未請求 請求項の数 1 (全5頁)

⑬ 発明の名称 A/Dコンバータ

⑰ 特 願 平2-32991

⑱ 出 願 平2(1990)2月14日

⑲ 発 明 者 福 山 裕 二 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑳ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

㉑ 代 理 人 弁理士 岡田 和秀

明 細 書

1、発明の名称

A/Dコンバータ

2、特許請求の範囲

(1) 基準電圧発生回路(3)、選択回路(4)、選択制御回路(5)および比較回路(6)を備え、

前記基準電圧発生回路(3)は、レベルの異なる複数の基準電圧を発生するものであり、

前記選択回路(4)は、前記複数の基準電圧のいずれか一つを選択出力するものであり、

前記選択制御回路(5)は、前記選択回路(4)を制御してディザ閾値バタунに対応した順序で基準電圧を選択出力させるものであり、

前記比較回路(6)は、前記選択回路(4)から選択出力される基準電圧と入力アナログ信号とを比較してデジタル信号に変換して出力するものであることを特徴とするA/Dコンバータ。

3、発明の詳細な説明

<産業上の利用分野>

本発明は、例えば、パーソナルコンピュータや

ワークステーションなどの画面表示システムに好適なA/Dコンバータに関し、さらに詳しくは、アナログ信号を、ディザ化されたデジタル信号に変換するA/Dコンバータに関する。

<従来の技術>

一般に、擬似的な階調表現としてディザ法が広く用いられている。このディザ法を用いたパーソナルコンピュータなどの画面表示システムでは、例えば、第5図に示されるように、アナログの映像信号を、高ビットのA/Dコンバータ15でデジタルの映像信号データに変換して一旦大容量のメモリ16に書き込んだ後、更に専用の変換回路やソフトウェアにてディザ化して、画面表示用メモリ2に書き込むようにしている。

<発明が解決しようとする課題>

しかしながら、従来では、ディザ化するためには、上述のように変換処理用の大容量のメモリ16や専用回路の追加あるいはソフトウェア処理が必要となり、処理時間やコストの増加を招来するという難点がある。

本発明は、上述の点に鑑みて為されたものであって、アナログ信号をディジタル化されたデジタル信号に変換できるようにしたA/Dコンバータを提供することを目的とする。

<課題を解決するための手段>

本発明では、上述の目的を達成するために、基準電圧発生回路、選択回路、選択制御回路および比較回路を備え、前記基準電圧発生回路は、レベルの異なる複数の基準電圧を発生するものであり、前記選択回路は、前記複数の基準電圧のいずれか一つを選択出力するものであり、前記選択制御回路は、前記選択回路を制御してディジタル値パターンに対応した順序で基準電圧を選択出力させるものであり、前記比較回路は、前記選択回路から選択出力される基準電圧と入力アナログ信号とを比較してデジタル信号に変換して出力するようにしている。

<作用>

上記構成によれば、レベルの異なる複数の基準電圧を、ディジタル値パターンに対応した順序で選択

出力し、この選択出力された基準電圧と入力アナログ信号とを比較してデジタル信号に変換するようにしているため、入力アナログ信号を、直接ディジタル化されたデジタル信号に変換することが可能となる。

<実施例>

以下、図面によって本発明の実施例について、詳細に説明する。

第1図は、本発明の一実施例に係る画面表示システムの構成図であり、第2図は第1図のA/Dコンバータのブロック図である。

この実施例のA/Dコンバータ1は、第1図に示されるように、アナログの映像信号を、ディジタル化された1ビットのデジタル信号に変換するものであり、変換されたデジタル信号は、第5図の従来例と同様に画面表示用メモリ2に書き込まれる。

このA/Dコンバータ1は、基本的には、第2図に示されるように、基準電圧発生回路3、選択回路4、選択制御回路5および比較回路6を備えている。

基準電圧発生回路3は、入力電圧 V_a および V_b を抵抗 R によって分圧してレベルの異なる複数の(この実施例では、16)の基準電圧 $V_1 \sim V_{16}$ を発生するものである。

選択回路4は、複数の基準電圧 $V_1 \sim V_{16}$ のいずれか一つを選択信号に基づいて選択出力する16to1のセレクタである。

選択制御回路5は、選択信号を出力して選択回路4を制御するものであり、この選択制御回路5は、ディジタル値パターンに対応した選択信号が予め記憶されているマスクROMなどの記憶部7と、この記憶部7の選択信号を、表示用のドットクロックおよび水平同期信号に応じて読み出す制御部8とを備えている。

この実施例では、記憶部7は、第3図(B)に示されるように、4行×4列の構成となっており、この2次元のブロックを単位とするディジタル値パターンに対応する選択信号が予め記憶されている。例えば、記憶部7の1行1列目には、基準電圧 V_{12} を選択するための選択信号に対応するデータ

「12」が記憶されており、1行2列目には、基準電圧 V_5 を選択するための選択信号に対応するデータ「5」が記憶されており、1行3列目には、基準電圧 V_7 を選択するための選択信号に対応するデータ「7」が記憶されており、以下、同様にディジタル値パターンに対応する選択信号のデータが記憶されている。

記憶部7の選択信号を、表示用のドットクロックおよび水平同期信号に応じて読み出す制御部8は、ドットクロックを計数する4進カウンタ9と、この4進カウンタ9の2ビットの出力を切換信号として記憶部7の列方向を指定する2to4のデコード10と、水平同期信号を計数する4進カウンタ11と、この4進カウンタ11の2ビットの出力を切換信号として記憶部7の行方向を指定する2to4のデコード12とを備えており、両デコード10、12で指定された位置のデータが記憶部7から読み出されて選択回路4に選択信号として与えられるようになっている。

この制御部8によれば、ドットクロックが入力

される度に、第3図(B)に示される記憶部7の指定位置が列(横)方向に循環し、水平同期信号が入力される度に、記憶部7の指定位置が行(縦)方向に循環することになる。したがって、例えば、横(X方向)12ドット、縦(Y方向)8ドットである画面を考えると、記憶部7から読み出される選択信号のデータは、第3図(A)に示されるように、4行×4列の2次元のブロック(ディザマトリックス)を単位として繰り返されることになる。

これによって、選択回路4は、複数の基準電圧 $V_1 \sim V_{16}$ を、ディザ閾値ボタンに対応した順序で選択出力することになる。

比較回路6は、選択回路4からの基準電圧とアナログの映像信号とを、インバータ13を介して与えられるドットクロックのタイミングで比較し、映像信号のレベルが、基準電圧以上であるときには、ハイレベルの信号を出力し、映像信号のレベルが、基準電圧未満であるときには、ローレベルの信号を出力する。

に示されるディザ化されたデジタル信号が得られることになる。

このようにA/D変換回路1によってディザ化されたデジタル信号を直接得ることができるので、従来のような変換処理用の大容量のメモリやソフトウェア処理が不要となり、処理時間やコストの低減を図ることが可能となる。

なお、記憶部7をRAMやレジスタ構成にして外部から任意のデータを書き込むようにしてもよい。

<発明の効果>

以上のように本発明によれば、レベルの異なる複数の基準電圧を、ディザ閾値ボタンに対応した順序で選択出力し、この選択出力された基準電圧と入力アナログ信号とを比較してデジタル信号に変換するようにしているので、入力アナログ信号を、直接ディザ化されたデジタル信号に変換することが可能となり、従来のような変換処理用の大容量のメモリやソフトウェア処理が不要となり、これによって、処理時間やコストの低減を図るこ

したがって、比較回路6からは、ディザ化されたデジタル信号が出力されることになる。

なお、このデジタル信号は、バッファ回路14を介して出力される。

第4図は、第2図の各部の信号波形図であり、同図(A)は水平同期信号、同図(B)は表示用のドットクロック、同図(C)は選択回路4に与えられる選択信号のデータ、同図(D)はアナログの映像信号、同図(E)はインバータ13の出力、同図(F)は比較回路6の出力、同図(G)はバッファ回路14の出力である。

ドットクロックの入力に応じて記憶部7から読み出される選択信号のデータが、列方向に循環し、水平同期信号の入力に応じて記憶部7から読み出される選択信号のデータが行方向に循環する。

したがって、選択回路4では、ディザ閾値ボタンに対応した順序で基準電圧が選択されて出力されることになる。

この基準電圧と第4図(D)のアナログ映像信号のレベルとを比較することにより、第4図(F)

とが可能となる。

4、図面の簡単な説明

第1図は本発明の一実施例に係る画面表示システムの構成図、第2図は第1図のA/Dコンバータのブロック図、第3図は記憶部のディザ閾値ボタンを説明するための図、第4図は第2図の各部の信号波形図、第5図は従来例の構成図である。

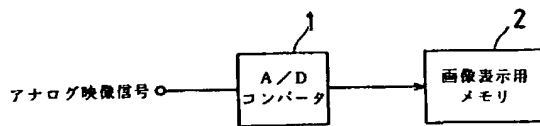
1…A/Dコンバータ、3…基準電圧発生回路、4…選択回路、5…選択制御回路、6…比較回路。

出願人 シャープ株式会社

代理人 弁理士 岡田和秀

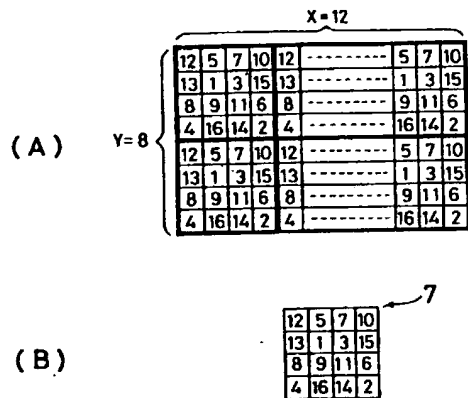
第 1 図

(本発明の一実施例に係るシステムの構成図)



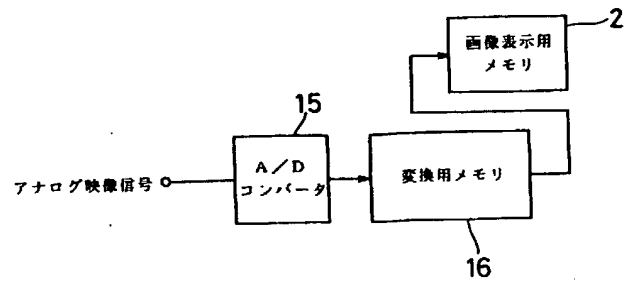
第 3 図

(記憶部のディサしき値パターンを説明するための図)



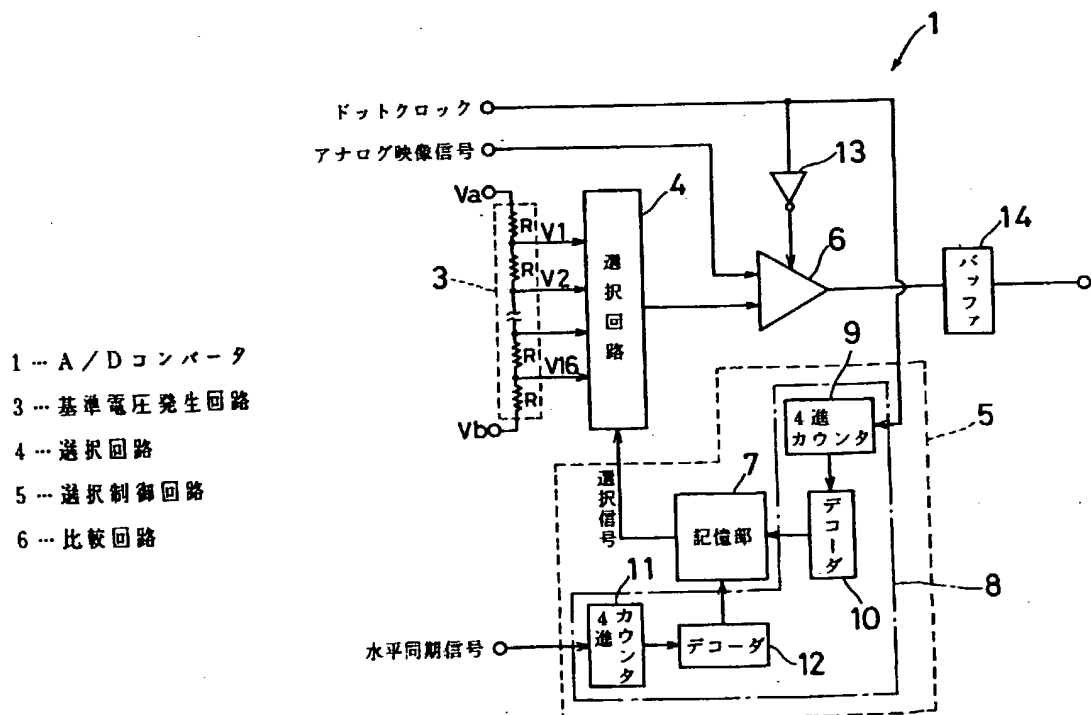
第 5 図

(従来例の構成図)



第 2 図

(本発明のA/Dコンバータのブロック図)



第4図

(第2図の各部の信号波形図)

